



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0018589
Application Number

출 원 년 월 일 : 2003년 03월 25일
Date of Application MAR 25, 2003

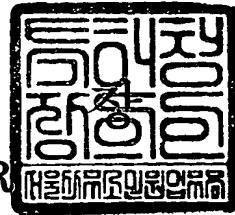
출 원 인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 08 월 11 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2003.03.25		
【발명의 명칭】	모스 바렉터의 제조방법		
【발명의 영문명칭】	METHOD FOR MANUFACTURING MOS VARACTOR		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 아주(대표변리사 정은섭)		
【대리인코드】	9-2001-100005-9		
【지정된변리사】	정은섭		
【포괄위임등록번호】	2001-071442-5		
【발명자】			
【성명의 국문표기】	정이선		
【성명의 영문표기】	CHUNG, Yi Sun		
【주민등록번호】	661224-1632012		
【우편번호】	361-480		
【주소】	충청북도 청주시 흥덕구 향정동 하이닉스반도체		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 특허법인 아주(대표변리사 정은섭) (인)		
【수수료】			
【기본출원료】	16	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	4	항	237,000 원
【합계】	266,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 모스 밸류터의 제조방법에 관한 것으로서, 보다 상세하게는 모스 밸류터의 게이트 산화막를 트랜지스터의 게이트 산화막에 비해 높은 고유전물질을 통해 형성함으로써 트랜지스터의 특성을 그대로 유지하면서 밸류터 부분의 정전용량을 높여 고주파용 소자로 이용될 수 있는 이점이 있다.

【대표도】

도 3d

【색인어】

밸류터, 고유전물질, 유전상수, 정전용량, 커패시턴스

【명세서】**【발명의 명칭】**

모스 바렉터의 제조방법{METHOD FOR MANUFACTURING MOS VARACTOR}

【도면의 간단한 설명】

도 1a 내지 도 1d는 일반적인 모스 바렉터의 제조방법을 설명하기 위한 단면도들이다.

도 2a 내지 도 2g는 본 발명에 의한 모스 바렉터의 제조방법을 설명하기 위한 단면도들이다.

도 3a 내지 도 3e는 본 발명의 다른 실시예에 의한 모스 바렉터의 제조방법을 설명하기 위한 단면도들이다.

- 도면의 주요부분에 대한 부호의 설명 -

10 : 기판	20 : 패드산화막
30 : 실리콘질화막	40 : 소자분리막
50 : 게이트산화막	60 : 폴리실리콘
61 : 제 1폴리실리콘	62 : 제 2폴리실리콘
70 : 스페이서	80 : 충간질연막
90 : 콘택	100 : 배선
110 : 바렉터산화막	120 : 감광막

TG : 트랜지스터용 게이트 VG : 바렉터용 게이트

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 모스 바렉터의 제조방법에 관한 것으로서, 보다 상세하게는 모스 바렉터의 게이트 산화막를 트랜지스터의 게이트 산화막에 비해 높은 고유전물질을 통해 형성함으로써 트랜지스터의 특성은 그대로 유지하면서 바렉터 부분의 정전용량을 높여 고주파용 소자로 이용될 수 있도록 한 모스 바렉터의 제조방법에 관한 것이다.

<14> 바렉터(Varactor)는 일반적으로 가변 리액터(Variable reactor)를 지칭하는 용어로써 정전용량이 인가전압의 함수인 2단자 반도체소자로써 파라메트릭 증폭기나 주파수 채배기 등 주파수의 자동 제어에 사용된다.

<15> 도 1a 내지 도 d는 일반적인 모스 바렉터의 제조방법을 설명하기 위해 순차적으로 도시한 도면들이다.

<16> 도 1a에 도시된 바와 같이 반도체 기판(10) 전면에 패드산화막(20)과 실리콘질화막(30)을 순차적으로 증착한 후 소자분리막(40)을 형성하기 위해 마스크를 통해 트렌치 식각을 하여 트렌치 홀(42)을 형성한다.

<17> 이후 도 1b에 도시된 바와 같이 트렌치 홀(42)을 캡필한 후 CMP 공정을 통해 평탄화를 한 후 실리콘질화막(30)을 제거하여 소자분리막(40)을 형성한다.

<18> 그런다음 웨일 임플란트 및 각종 소자 특성을 확보하기 위한 도핑공정을 진행한다.

<19> 그런다음 도 1c에 도시된 바와 같이 결과물 전면에 게이트산화막(50)으로 SiO₂나 SiON 등의 유전물질을 증착한다. 그런다음 폴리실리콘(60)을 증착한 후 PMOS를 위해 NMOS 지역을 마스크하고 B나 BF₂ 등의 임플란트를 하게 되고 NMOS를 위해 PMOS 지역을 마스크하고 P나 As를 임플란트한다. 그런다음 폴리실리콘을 패터닝하여 트랜지스터용 게이트(TG)와 백터용 게이트(VG)를 형성한다.

<20> 이후, 도 1d에 도시된 바와 같이 트랜지스터용 게이트(TG)와 백터용 게이트(VG)의 측벽에 스페이서(70)를 형성하고 층간절연막(80)을 증착한 후 콘택(90)을 통해 배선(100)을 연결하게 된다.

<21> 이렇게 모스 백터를 트랜지스터 게이트와 동일하게 형성함으로써 백터산화막의 유전율을 높지 않기 때문에 단위면적당 정전용량이 적어 백터를 낮은 RF소자에 한정적으로 적용되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<22> 본 발명은 상기와 같은 문제점을 해결하기 위해 창작된 것으로서, 본 발명의 목적은 모스 백터의 게이트 산화막를 트랜지스터의 게이트 산화막에 비해 높은 고유전물질을 통해 형성함으로써 트랜지스터의 특성을 그대로 유지하면서 백터 부분의 정전용량을 높여 고주파용 소자로 이용될 수 있도록 한 모스 백터의 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

<23> 상기와 같은 목적을 실현하기 위한 본 발명은 반도체 기판 상에 소자분리막을 형성하는 단계와, 소자분리막을 형성한 후 게이트산화막과 제 1폴리실리콘을 증착하는 단계와, 결과물을 패터닝하여 제 1폴리실리콘과 게이트산화막을 식각하여 트랜지스터용 게이트를 형성하는 단계와, 결과물 전체를 감광막으로 도포한 후 바렉터 형성지역을 오픈한 후 고유전물질로 바렉터산화막을 형성하는 단계와, 이후 제 2폴리실리콘을 증착한 후 패터닝하여 바렉터용 게이트를 형성하는 단계와, 상기 트랜지스터 형성지역의 감광막을 제거한 후 후속공정을 진행하는 단계로 이루어진 것을 특징으로 한다.

<24> 또한, 본 발명에 의한 모스 바렉터의 제조방법은 반도체 기판 상에 소자분리막을 형성하는 단계와, 결과물 전면에 고유전물질로 바렉터산화막을 형성한 후 바렉터외의 영역을 제거하여 패터닝하는 단계와, 결과물 전면에 게이트산화막과 폴리실리콘을 증착하고 모스 타입에 따라 이온주입하는 단계와, 마스크를 통해 폴리실리콘을 패터닝하여 트랜지스터용 게이트와 바렉터용 게이트를 패터닝하고 후속공정을 진행하는 단계로 이루어진 것을 특징으로 한다.

<25> 위에서 바렉터산화막은 Al2O3, Ta2O5, HfO2, ZrO2, HfON, BST, TiO2 중 어느 하나인 것을 특징으로 한다.

<26> 또한, 바렉터산화막은 ALD, PEALD, MOCVD 증착기술로 400°C 이하에서 증착하는 것을 특징으로 한다.

<27> 위와 같이 본 발명은 바렉터용 게이트 산화막인 바렉터산화막의 유전율을 트랜지스터용 게이트 산화막에 비해 높은 유전물질을 사용함으로써 트랜지스터의 특성은 그대로

유지하면서 바택터 부분의 정전용량을 높여 고주파용 소자로 이용될 수 있도록 할 뿐만 아니라 동조 가능도가 높아 소자의 마진을 높일 수 있게 된다.

<28> 이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명한다. 또한 본 실시예는 본 발명의 권리범위를 한정하는 것은 아니고, 단지 예시로 제시된 것이며 종래 구성과 동일한 부분은 동일한 부호 및 명칭을 사용한다.

<29> 도 2a내지 도 2g는 본 발명에 의한 모스 바택터의 제조방법을 설명하기 위해 순차적으로 도시한 단면도들이다.

<30> 먼저, 도 2a에 도시된 바와 같이 반도체 기판(10) 전면에 패드산화막(20)과 실리콘질화막(30)을 순차적으로 증착한 후 소자분리막(40)을 형성하기 위해 마스크를 통해 트렌치 식각을 하여 트렌치 홀(42)을 형성한다.

<31> 이후 도 2b에 도시된 바와 같이 트렌치 홀(42)을 캡필한 후 CMP 공정을 통해 평탄화를 한 후 실리콘질화막(30)을 제거하여 소자분리막(40)을 형성한다.

<32> 그런다음 웰 임플란트 및 각종 소자 특성을 확보하기 위한 도핑공정을 진행한다.

<33> 그런다음 도 2c에 도시된 바와 같이 결과물 전면에 트랜지스터에 적용될 게이트산화막(50)과 제 1폴리실리콘(61)을 순차적으로 증착하고 패터닝하여 트랜지스터용 게이트(TG)를 형성한다.

<34> 이때 게이트산화막(50)으로 SiO₂나 SiON 등의 유전물질을 증착한다.

<35> 그런다음 도 2d에 도시된 바와 같이 결과물 전면에 바택터산화막(110)을 증착한다.

<36> 이때 바렉터산화막(110)으로는 고유전물질인 Al2O3, Ta2O5, HfO2, ZrO2, HfON, BST, TiO2 중 어느 하나를 400°C 이하에서 ALD, PEALD, MOCVD 등의 증착기술로 증착하여 트랜지스터의 특성변화가 발생하지 않도록 형성한다.

<37> 그런다음, O2, O3, N2, NH3 등으로 플라즈마 처리를 하거나, O3 열공정을 진행하여 후처리한다.

<38> 그리고, 바렉터산화막(110)이 증착된 위로 바렉터용 게이트(VG)를 사용될 제 2폴리실리콘(62)을 증착하고 바렉터용 게이트(VG)를 형성하기 위한 마스크를 통해 패터닝하여 바렉터용 게이트(VG) 이외의 제 2폴리실리콘(62)을 모두 식각해 낸다.

<39> 이렇게 식각할 경우 바렉터 게이트 지역은 선택적으로 식각되어 바렉터용 게이트(VG)가 형성되지만 트랜지스터가 형성되는 지역은 블랭킷 식각으로써 트랜지스터용 게이트(TG)의 측벽에 제 2폴리실리콘(62)이 남게 된다.

<40> 따라서, 도 2e에 도시된 바와 같이 선택적 식각으로 트랜지스터용 게이트(TG)의 측벽에 남아있는 제 2폴리실리콘(62)을 제거하고, 도 2f에 도시된 바와 같이 바렉터산화막(110)을 선택적으로 식각하여 트랜지스터가 형성되는 지역의 바렉터산화막(110)을 모두 제거하게 된다.

<41> 이후 도 2g에 도시된 바와 같이 트랜지스터용 게이트(TG) 및 바렉터용 게이트(VG) 측벽에 스페이서(70)를 형성하고 층간절연막(80)을 증착한 후 콘택(90)을 통해 배선(100)하게 된다.

<42> 또한, 본 발명에 의한 다른 실시예로써 도 3a내지 도 3e는 본 발명에 의한 모스 바렉터의 제조방법을 설명하기 위해 순차적으로 도시한 단면도들을 참조하여 설명하면 다음과 같다.

<43> 먼저, 도 3a에 도시된 바와 같이 반도체 기판(10) 전면에 패드산화막(20)과 실리콘질화막(30)을 순차적으로 증착한 후 소자분리막(40)을 형성하기 위해 마스크를 통해 트렌치 식각을 하여 트렌치 홀(42)을 형성한다.

<44> 이후 도 3b에 도시된 바와 같이 트렌치 홀(42)을 캡필한 후 CMP 공정을 통해 평탄화를 한 후 실리콘질화막(30)을 제거하여 소자분리막(40)을 형성한다.

<45> 그런다음 웰 임플란트 및 각종 소자 특성을 확보하기 위한 도핑공정을 진행한다.

<46> 그런다음 도 3c에 도시된 바와 같이 결과물 전면에 바렉터에 적용될 바렉터산화막(110)을 증착한다.

<47> 이때 바렉터산화막(110)으로는 고유전물질인 Al2O3, Ta2O5, HfO2, ZrO2, HfON, BST, TiO2 중 어느 하나를 400°C 이하에서 ALD, PEALD, MOCVD 등의 증착기술로 증착하여 트랜지스터의 특성변화가 발생하지 않도록 형성한다.

<48> 그런다음 전면에 감광막을 도포한 후 바렉터용 게이트(VG)를 형성하기 위한 마스크를 통해 패터닝하여 바렉터용 게이트(VG) 이외의 바렉터산화막(110)을 모두 식각해낸다.

<49> 그런다음 도 3d에 도시된 바와 같이 O2, O3, N2, NH3 등으로 플라즈마 처리를 하거나, O3 열공정을 진행하여 후처리함으로써 바렉터산화막(110)의 밀도를 높이게 하고 바

랙터산화막(110)이 형성되지 않은 지역에서는 트랜지스터용 게이트산화막(50)이 성장된다.

<50> 이때 게이트산화막(50)으로 SiO₂나 SiON 등의 유전물질을 증착한다.

<51> 그런다음 전면에 폴리실리콘(60)을 증착한 후 PMOS를 위해 NMOS 지역을 마스크하고 B나 BF₂ 등의 임플란트를 하게 되고 NMOS를 위해 PMOS 지역을 마스크하고 P나 As를 임플란트한다. 그런다음 폴리실리콘을 패터닝하여 트랜지스터용 게이트(TG)와 바렉터용 게이트(VG)를 형성한다.

<52> 이후 도 3e에 도시된 바와 같이 트랜지스터용 게이트(TG) 및 바렉터용 게이트(VG) 측벽에 스페이서(70)를 형성하고 층간절연막(80)을 증착한 후 콘택(90)을 통해 배선(100)하게 된다.

<53> 따라서, 바렉터산화막(110)을 높은 유전물질로 증착함에 따라 단위면적당 정전용량이 증가되어 RF 소자의 특성을 향상시킬 수 있게 된다.

【발명의 효과】

<54> 상기한 바와 같이 본 발명은 모스 바렉터의 게이트 산화막를 트랜지스터의 게이트 산화막에 비해 높은 고유전물질을 통해 형성함으로써 트랜지스터의 특성은 그대로 유지하면서 바렉터 부분의 정전용량을 높여 고주파용 소자로도 이용될 수 있는 이점이 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 소자분리막을 형성하는 단계와,

상기 소자분리막을 형성한 후 게이트산화막과 제 1폴리실리콘을 증착하는 단계와,

상기 결과물을 패터닝하여 상기 제 1폴리실리콘과 상기 게이트산화막을 식각하여

트랜지스터용 게이트를 형성하는 단계와,

상기 결과물 전체를 감광막으로 도포한 후 바택터 형성지역을 오픈한 후 고유전물

질로 바택터산화막을 형성하는 단계와,

상기 바택터산화막을 형성한 후 제 2폴리실리콘을 증착한 후 패터닝하여 바택터용
게이트를 형성하는 단계와,

상기 트랜지스터 형성지역의 감광막을 제거한 후 후속공정을 진행하는 단계

로 이루어진 것을 특징으로 하는 모스 바택터의 제조방법.

【청구항 2】

반도체 기판 상에 소자분리막을 형성하는 단계와,

상기 결과물 전면에 고유전물질로 바택터산화막을 형성한 후 바택터외의 영역을

제거하여 패터닝하는 단계와,

상기 결과물 전면에 게이트산화막과 폴리실리콘을 증착하고 모스 타입에 따라 이온

주입하는 단계와,

상기 결과물을 마스크를 통해 상기 폴리실리콘을 패터닝하여 트랜지스터용 게이트와 바택터용 게이트를 패터닝하고 후속공정을 진행하는 단계로 이루어진 것을 특징으로 하는 모스 바택터의 제조방법.

【청구항 3】

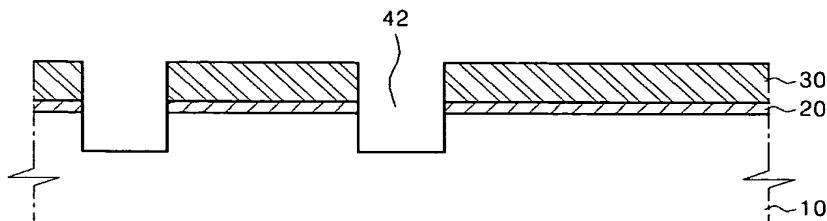
제 1항 또는 제 2항에 있어서, 상기 바택터산화막은 Al2O3, Ta2O5, HfO2, ZrO2, HfON, BST, TiO2 중 어느 하나 인 것을 특징으로 하는 모스 바택터의 제조방법.

【청구항 4】

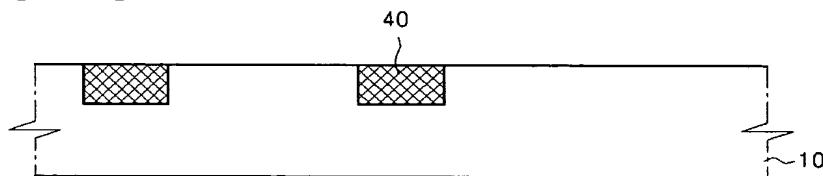
제 1항 또는 제 2항에 있어서, 상기 바택터산화막은 ALD, PEALD, MOCVD 증착기술로 400°C 이하에서 증착하는 것을 특징으로 하는 모스 바택터의 제조방법.

【도면】

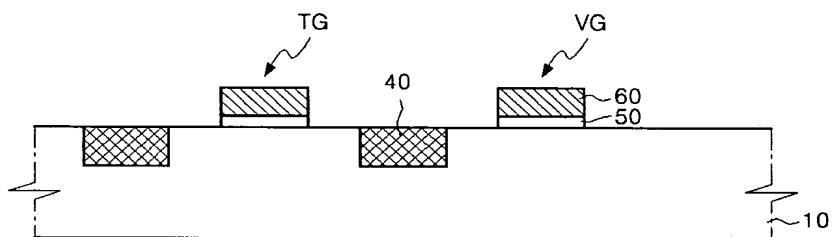
【도 1a】



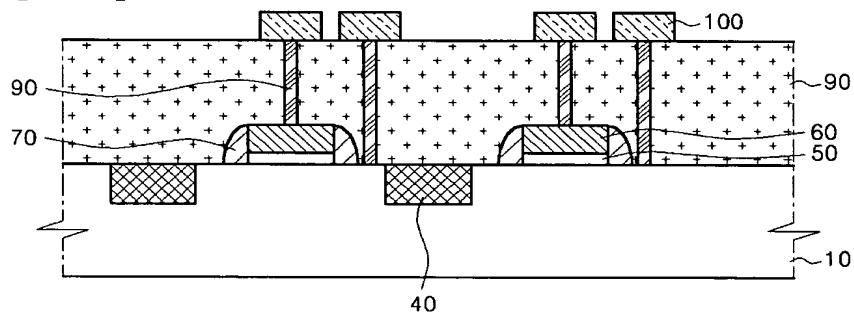
【도 1b】



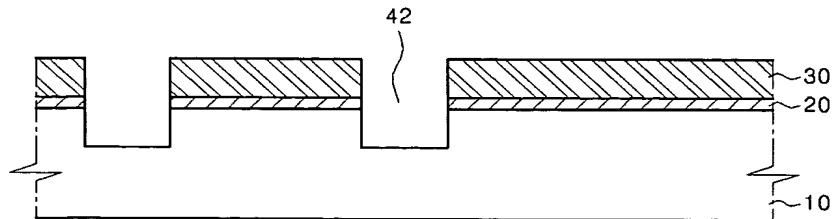
【도 1c】



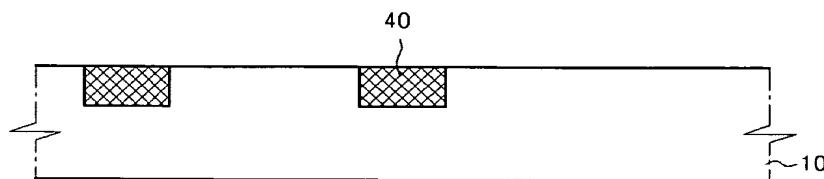
【도 1d】



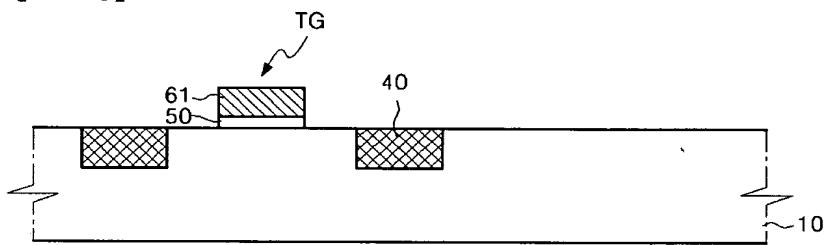
【도 2a】



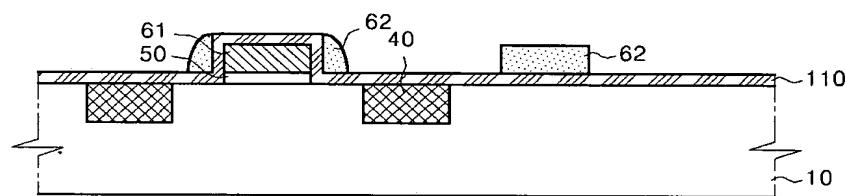
【도 2b】



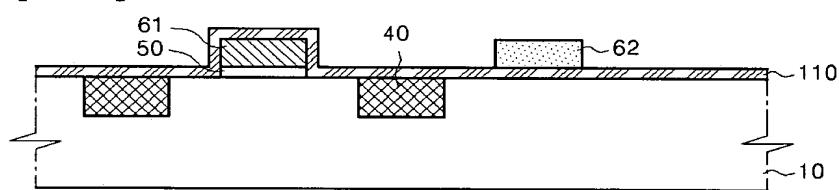
【도 2c】



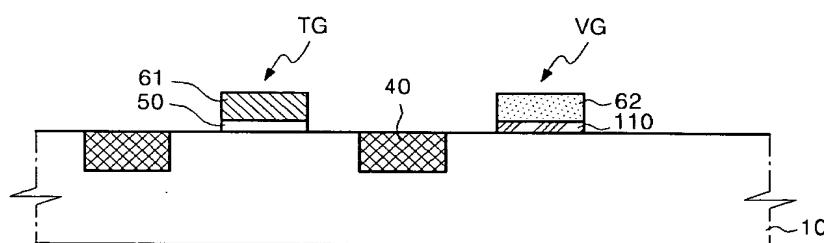
【도 2d】



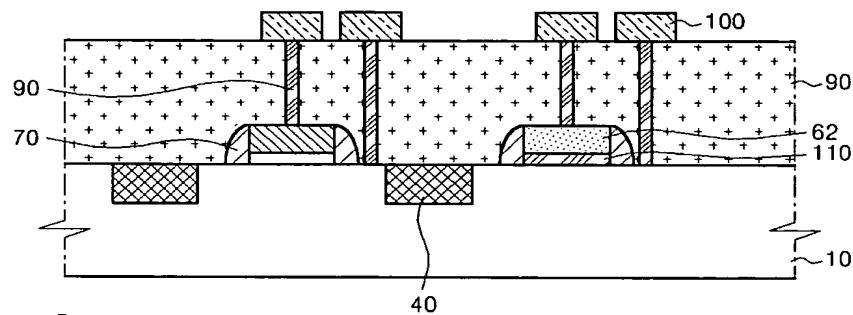
【도 2e】



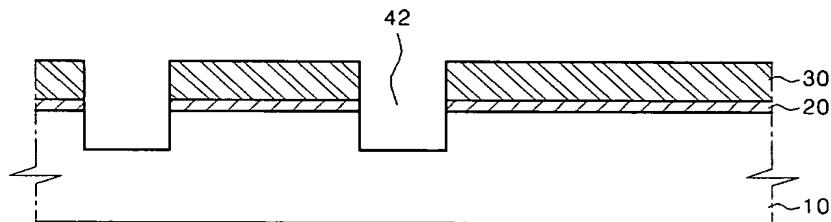
【도 2f】



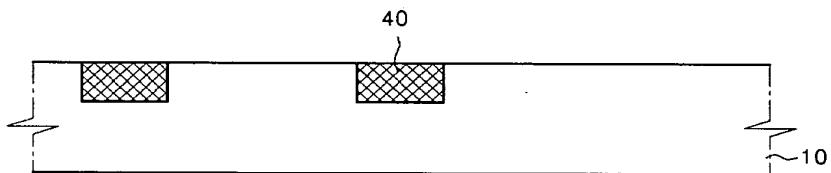
【도 2g】



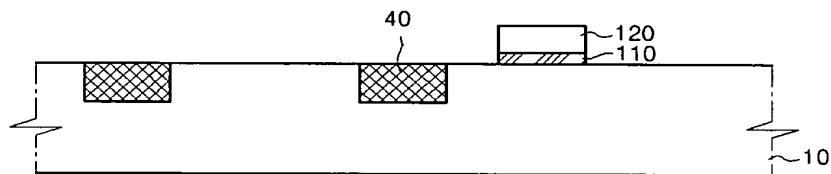
【도 3a】



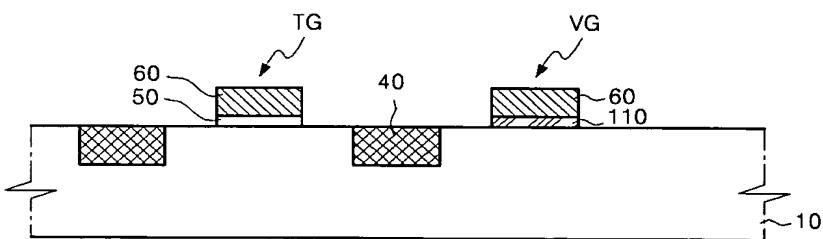
【도 3b】



【도 3c】



【도 3d】



1020030018589

출력 일자: 2003/8/13

【도 3e】

